МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное образовательное учреждение

высшего образования

«**Вятский государственный университет**»

Факультет автоматики и вычислительной техники

Кафедра ЭВМ

Отчёт

Лабораторная работа № 1 по дисциплине

«Теория Автоматов»

Выполнил студент группы ИВТб-2301\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ / Птахова А.М./

Проверил преподаватель\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/ Мельцов В.Ю/

Киров 2022

1. Задание

Реализовать операционный микропрограммный автомат с жесткой логикой алгоритма деления чисел в двоичной системе счисления с характеристикой с плавающей запятой в прямом коде первым способом без восстановления остатков и вычитанием в дополнительном коде в САПР Quartus. Проверить работу автомата на численных примерах.

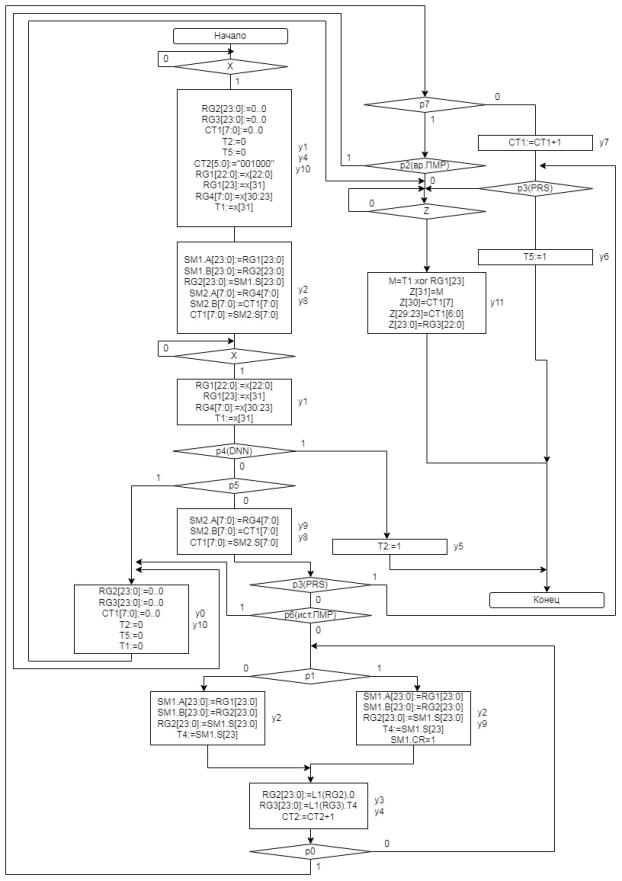
1. Краткие теоретические сведения

Любое вычислительное устройство может быть представлено композицией взаимодействующих пар автоматов - операционного автомата и управляющего автомата (рис.1).



Операционный автомат (ОА) содержит операционные устройства - регистры, сумматоры, счётчики, дешифраторы, мультиплексоры и др., на которых выполняется преобразование информации. В операционный автомат из других устройств ЭВМ поступают операнды по входной  шине (ШИВх), а после выполнения предписанной операции результат по выходной шине (ШИВых) передается в другие устройства ЭВМ.

1. Ход работы
   1. . Граф-схема алгоритма



3.2. Функциональная схема

Функциональная схема операционного автомата представлена на рисунке 1.

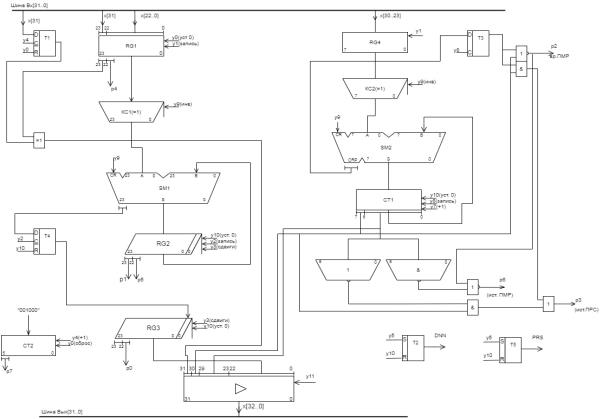


Рисунок 1 – Функциональная схема операционного автомата

Используемые элементы:

* 24-разрядный регистр RG1 для хранения делителя;
* 24-разрядный сдвиговый регистр RG2 для делимого (остатков);
* 24-разрядный сдвиговый регистр RG3 для частного;
* 24-разрядный сумматор SM1 для вычисления остатков;
* набор схем 2-входового логического «И», набор схем «ИЛИ-НЕ», усилитель-формирователь для выдачи результата на выходную шину;
* набор схем сложения по модулю два для организации управляемой инверсии содержимого RG1, RG4, а также для получения знака результата;
* D-триггер Т1 для хранения знака делимого;
* 8-разрядный регистр RG4 для хранения характеристики делителя;
* RS-триггер T2 для фиксации ДНН;
* D-триггер T3 для хранения знакового разряда характеристики;
* D-триггер T4 для хранения 23 разряда остатка;
* 8-разрядный счетчик CT1 для хранения и счёта характеристики результата;
* 5-разрядный счетчик CT2 для отслеживания тактов деления;
* 8-разрядный сумматор SM2 для вычисления характеристики результата;
* RS-триггер T5 для фиксации ПРС;

Осведомительные сигналы:

* X – проверка наличия операнда на входной шине;
* р0 – окончание цикла деления;
* p1 – старший разряд мантиссы частного;
* p2 – признак вр. ПМР в характеристиках;
* p3 – признак ист. ПРС в характеристиках;
* p4 – делитель равен нулю;
* p5 – делимое равно нулю;
* p6 – истинная ПМР;
* p7 – отслеживание 24-го такта деления;

Управляющие сигналы:

* y0 – сброс RG1, Т1, T3, CT2;
* y1 – запись в RG1 и в RG4;
* y2 – запись результата сложения (вычитания) в RG2, единицы переноса в Т2 и состояние делимого в T6;
* у3 – сдвиг RG2 и RG3 влево RG2:=L1(RG2) и инкремент CT2;
* у4 – запись знака делимого в T1 и знака характеристики в T3;
* y5 – установка в единицу триггера T2 (ДНН);
* y6 – установка в единицу триггера T5 (ПРС);
* y7 – увеличение счетчика СТ1 на единицу;
* y8 – запись в счетчик СТ1
* y9 – управление схемой сложения по модулю 2;
* y10 – сброс Т2, Т4, Т5 , CT1 и установление RG2 и RG3 в «0»;
* y11 – выдача результат.

Функциональная схема операционного автомата в САПР Quartus представлена на рисунке 2.

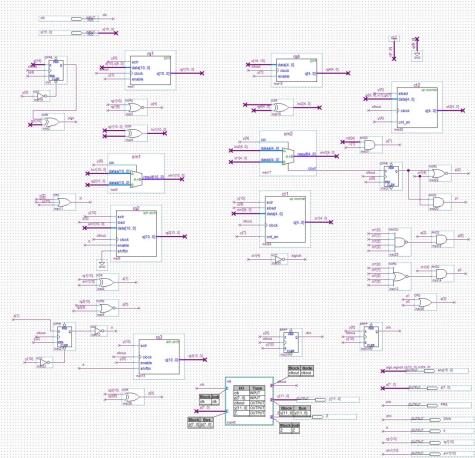


Рисунок 2 – Функциональная схема операционного автомата в САПР Quartus

1. Экранные формы

Демонстрация работы автомата представлена на рисунках 3-7.

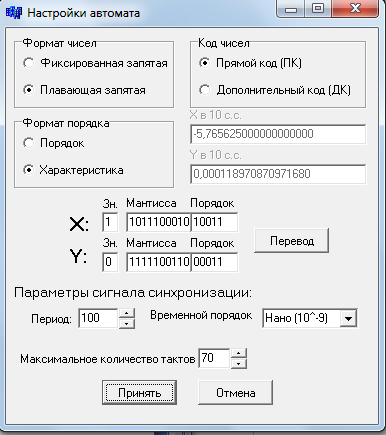
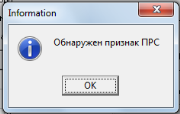
 

Рисунок 3 – Признак ПРС

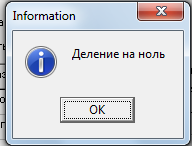
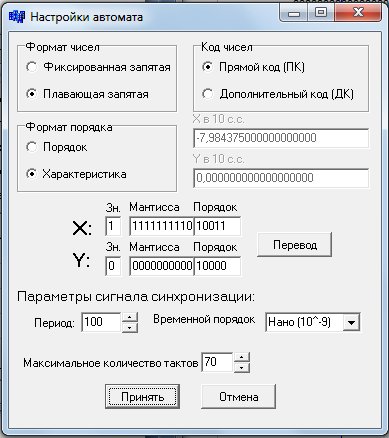


Рисунок 4 – Деление на ноль

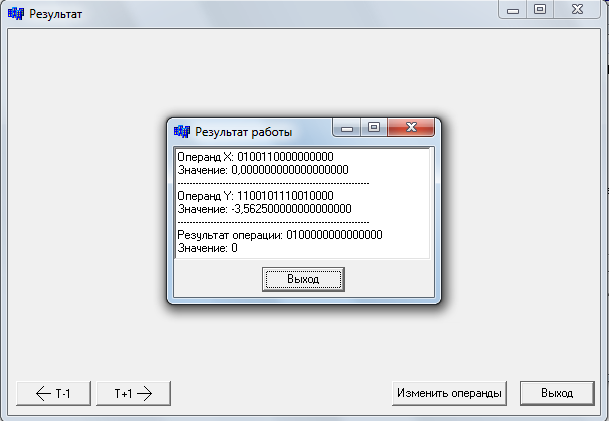


Рисунок 5 – Делимое ноль

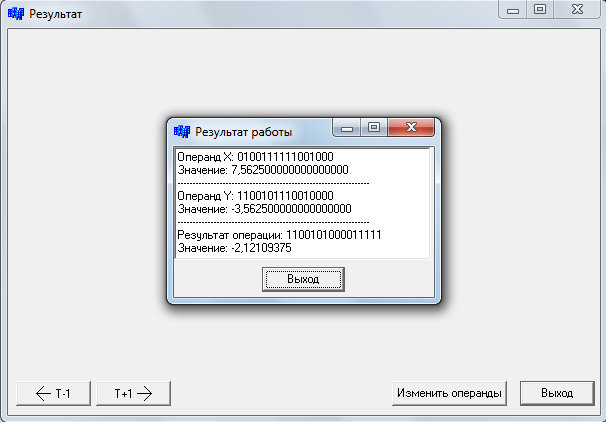


Рисунок 6 – Результат

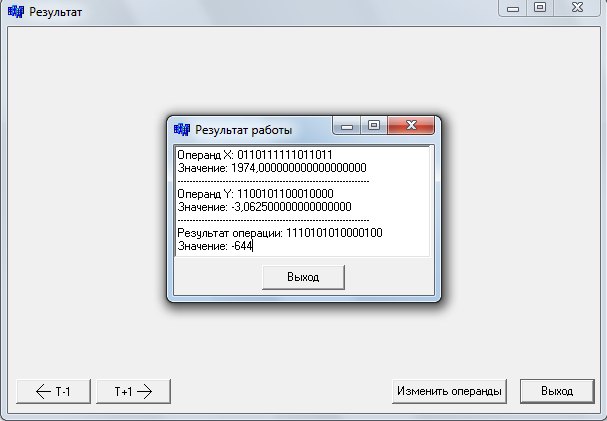


Рисунок 7 - Результат

1. Вывод

В ходе данной лабораторной работы был реализован операционный автомат с жесткой логикой для операции деления первым способом без восстановления остатков в программе САПР Quartus.